

PAT-NO: JP407240458A

DOCUMENT-IDENTIFIER: JP 07240458 A

TITLE: METHOD AND EQUIPMENT FOR PROCESSING
SEMICONDUCTOR
SUBSTRATE

PUBN-DATE: September 12, 1995

INVENTOR-INFORMATION:

NAME

HASEGAWA, AKIHIRO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP06031612

APPL-DATE: March 1, 1994

INT-CL (IPC): H01L021/68, H01L021/3065 , B23Q017/00

ABSTRACT:

PURPOSE: To provide a method and equipment for processing a wafer in which the yield is prevented from decreasing due to discharge which may take place at the time of releasing the wafer.

CONSTITUTION: An electrostatic chuck stage 12 for securing a wafer 18 and electrodes 13, 14 for generating plasma are disposed in a vacuum chamber 11. The processing equipment 40 is provided with a unit 41 for sensing discharge which may take place between the wafer 18 and the stage 12 when the wafer 18 is levitated from the stage 12 and released. The discharge sensing unit 41 comprises an antenna 45 and a voltmeter 46. Only when the unit 41 detects discharge, charges are removed from a next wafer 18 subjected to

plasma
etching.

COPYRIGHT: (C) 1995, JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-240458

(43)公開日 平成7年(1995)9月12日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/68	R			
21/3065				
// B 2 3 Q 17/00	A			
			H 0 1 L 21/ 302	E

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21)出願番号 特願平6-31612

(22)出願日 平成6年(1994)3月1日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 長谷川 明広

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

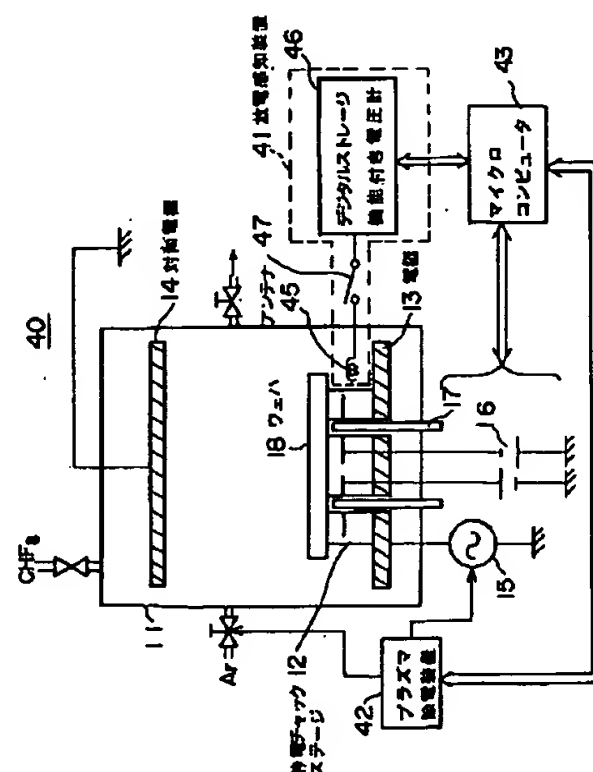
(54)【発明の名称】 半導体基板処理装置及び方法

(57)【要約】

【目的】 本発明はウェハを処理する装置に関し、生産性を損なわずに、ウェハ離脱時に発生することがある放電に起因する歩留りの低下を抑えることを目的とする。

【構成】 真空チャンバ11内にウェハ18を固定する静電チャックステージ12及びプラズマを発生させる電極13、14を有する。装置40は、ウェハ18をステージ12より浮き上げて離脱させるときにウェハ18とステージ12との間で発生することがある放電を感知する装置41を有する。放電感知装置41は、アンテナ45と電圧計46とを有する。放電感知装置41が放電を感知したときだけに、次にプラズマエッチングされたウェハ18を除電するように構成する。

本発明の一実施例によるプラズマエッチング装置を示す図



【特許請求の範囲】

【請求項1】 ステージ上に固定された半導体基板に処理を行う半導体基板処理装置において、プラズマ処理を終えた上記半導体基板を上記ステージから離脱させるときに発生することがある放電を検知する放電感知手段を有する構成としたことを特徴とする半導体基板処理装置。

【請求項2】 前記放電感知手段が放電を検知した場合、それに応じて半導体基板の帯電を消失するための帯電除去手段を有することを特徴とする請求項1記載の半導体基板処理装置。

【請求項3】 ステージ上に固定された半導体基板にプラズマ処理を行なう工程と、該プラズマ処理を終えた半導体基板を該ステージから離脱させる工程とを有し、この離脱させる工程の後、該基板とステージの間の放電を検知し、放電を検知した場合は、基板の帯電の除電を行なうことを特徴とする半導体基板の処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体基板処理装置及び方法に係り、特に、静電チャックステージ上のウェハにプラズマ処理をする装置及び方法に関する。

【0002】半導体基板処理装置は、処理を合理的に行える構成であることが望ましい。

【0003】

【従来の技術】図8は従来のプラズマエッチング装置10を示す。

【0004】11は真空チャンバである。

【0005】真空チャンバ11内に、静電チャックステージ12、電極13、対向電極14が設けてある。

【0006】15はRF電源、16は静電チャックステージ用電源、17はウェハ離脱用ピンである。

【0007】装置10は、ウェハ18を静電チャックステージ12上にクーロン力により固定し、真空チャンバ11内にCHF₃ガスを導入し、電極13、14間にプラズマを発生させ、ウェハ18の上面に対してプラズマエッチングを行い、プラズマエッチング終了後に、ピン17を上動させてウェハ18を突き上げて静電チャックステージ12から浮かせて離脱させる動作を繰り返して行う。

【0008】

【発明が解決しようとする課題】静電チャックステージ12による静電的固定及び発生したプラズマによって、ウェハ18は帯電し易い。帯電の状況によっては、ウェハ18を静電チャックステージ12より浮き上がらせて離脱させるときに、図9に示すように、ウェハ18と静電チャックステージ12との間でスパーク放電20が発生することがある。

【0009】放電が発生すると、放電の状況によって

は、放電が起きた個所が損傷し、ウェハから半導体チップを切り出した場合に、損傷した個所を含む半導体チップが組込まれた半導体装置は不良品となってしまう。

【0010】従来の装置10では、放電が起きてもこのことが分からず、次々にウェハにプラズマエッチングを続けてしまい、結果的に不良品の半導体装置が多くなって、半導体装置の歩留りが低下していた。

【0011】なお、ウェハを一枚処理する都度、除電プラズマをたてて除電を行うとすると、上記の放電が起きず、放電に起因する不良の発生は防止出来る。

【0012】しかし、除電プラズマをたてるには、真空チャンバ11内のCHF₃ガスを抜いてArガスを導入する作業が必要となり、除電作業には、2分程度かかってしまう。工場において多数枚のウェハを次々に処理する場合には、除電に要する延べ時間は無視出来ないものとなり、半導体装置の生産性が低くなってしまう。

【0013】そこで、本発明は、上記課題を解決した半導体基板処理装置及び方法を提供することを目的とする。

【0014】

【課題を解決するための手段】図1に示すように、本発明の半導体基板処理装置30は、ステージ31上に固定された半導体基板32に処理を行う。

【0015】装置30は、放電検知手段33を有する。

【0016】放電感知手段33は、処理を終えた半導体基板32をステージ31から浮かせて離脱させるときに発生することがある放電を検知する。

【0017】

【作用】放電感知手段33を設けた構成は、半導体基板32の除電が必要であることを知らしめるように作用する。

【0018】

【実施例】図2は本発明の一実施例になるプラズマエッチング装置40を示す。

【0019】同図中、図8に示す構成部分と対応する部分には同一符号を付し、その説明は省略する。

【0020】装置40は、図8の装置10に追加して、放電感知装置41、プラズマ除電装置42及びマイクロコンピュータ43を有する。

【0021】放電感知装置41は、真空チャンバ11内のうち、静電チャックステージ12の近傍に配されており、ウェハ18-静電チャックステージ12間の電位分布を検出するアンテナ45と、アンテナ45に接続されて真空チャンバ11外に配されており、電圧波形を記憶するデジタルストレージ機能付の電圧計46を有する。

【0022】アンテナ45より真空チャンバ11外に引き出されている配線の途中に常開のスイッチ47が設けてある。

【0023】装置40は、マイクロコンピュータ43により制御されて、図3に示すように動作する。

【0024】装置40は、基本的には、前記の図8の装置10と同様に動作する。

〈1〉真空チャンバ11内に運び込まれて静電チャックステージ12上に固定されたウェハ18に対してプラズマエッチングを行う(ST1)。

【0025】プラズマエッチングが終了すると、プラズマを発生させる関係上開成させておいたスイッチ47を閉成し、放電感知装置41を放電感知可能状態とする。

〈2〉電源16をオフとし、ピン17を上動させて、ウェハ18を突き上げて、プラズマエッチングされたウェハ18を静電チャックステージ12より浮かして離脱させる(ST2)。

〈3〉この離脱時の、電圧計46よりの情報に基づいて、離脱時にウェハ18と静電チャックステージ12との間で放電が起きたか否かを判断する(ST3)。

〈4〉ST3の判断結果が「NO」であるときには、ST1に戻って次に運び込まれたウェハに対してプラズマエッチングを行う。

〈5〉ST3の判断結果が「YES」であるときには、nを0とセットする(ST4)。

〈6〉次いで、1を加算し、 $n=n+1$ とする(ST5)。

〈7〉次いで、次に運び込まれたウェハに対してプラズマエッチングを行う(ST6)。

〈8〉プラズマエッチングが終了すると、プラズマ除電装置42を動作させる(ST7)。

【0026】即ち、真空チャンバ11内の CHF_3 ガスを抜き、代わりにArガスが導入し、この状態で、RF電源15を入れ電源13、14の間でプラズマを発生させる。これにより、ウェハの帯電が除去されて除電される。

〈9〉次いで、電源16をオフとし、ピン17によりウェハ18を突き上げて、ウェハを静電チャックステージ12より浮かして離脱させる(ST8)。

〈10〉次いでnをNと比較する(ST9)。

【0027】Nは5にセットしてある。即ち $N=5$ である。

【0028】 $N=5$ としたのは、発明者が実験したところ、放電が一旦発生すると、続いて処理される5枚程度のウェハについてステージから離脱するときに連続して発生し、その後は放電がおさまって発生しなくなることが分かったためである。

【0029】ST9の判断結果が「YES」のときには、ST5を行い、判断結果が「NO」となると、ST1を行う。

【0030】従って、一度放電が感知されると、除電処理有りのループ(ST5→ST6→ST7→ST8→ST9→ST5)に入り、これに続く5枚のウェハについては、プラズマエッチング処理を終了した後に除電処理を行ってから静電チャックステージ12より離脱され、

離脱時に放電は起きない。

【0031】6枚メモリのウェハからは、プラズマエッチング処理を行った後に、除電処理を行わずに、静電チャックステージ12より離脱される。このときも、放電は既に起きにくくなっているため、放電は起きない。

【0032】即ち、装置40は、順次搬入されるウェハに対して図4に示すように動作する。

【0033】Aはプラズマエッチング、Bはウェハのステージよりの離脱、Cは除電を示す。

【0034】放電発生後6枚メモリ以降のウェハを処理しているうちに、放電が再開したときには、また次の5枚には除電処理が施される。

【0035】即ち、装置40は、通常は除電処理を行わずにプラズマエッチング→離脱の動作を繰り返して行ない、放電が発生する都度、次の5枚のウェハについてはプラズマエッチング→除電→離脱の動作を行ないつつ動作し続ける。

【0036】従って、上記の装置40によれば、以下の効果を有する。

【0037】I. ウェハの離脱時に発生する放電の回数を従来の装置の場合の1/5程度に抑えることが出来、よって放電に起因する不良の数を従来の装置の場合の1/5程度に少なくし得、半導体装置の歩留りを向上し得る。

【0038】II. 除電は必要な場合にだけ行う構成であるため、全部のウェハについて除電を行う場合に比べて、ウェハの処理の効率を向上し得る。

【0039】例えば、100枚のウェハを処理する場合、全部のウェハについてプラズマエッチング→除電→離脱のプロセスをとると3時間30分要するのに対して、上記装置40によれば、2時間40分で完了し、50分の時間短縮が図られた。

【0040】なお、図2中の電圧計46はデジタルストレージ機能を有しているものであるため、放電の様子を目で観察できる。

【0041】放電がスパーク放電の場合には、図5(A)に符号50で示す鋭い電圧波形が観察される。

【0042】グロー放電の場合には、図5(B)に符号51で示す略台形状の電圧波形が観察される。

〔変形例〕次に、放電感知装置の変形例について説明する。

【0043】図6の放電感知装置60は、先端61aが静電チャックステージ12の近傍に位置するように配されて真空チャンバ11外に引き出されている光ファイバ61と、光ファイバ61に接続された光強度計62とよりなる構成である。

【0044】この構成によれば、図2中のスイッチ47は不要である。

【0045】図7の放電感知装置70は、ウェハを搬送するアーム71を図2中のアンテナ45として利用した

構成である。

【0046】電圧計46がアーム71と電氣的に接続されている。

【0047】この構成によれば、図2中の専用のアンテナ45は不要であり、スイッチ47も不要である。また、ウェハの上面側に発生した放電も感知できる。

【0048】なお、本発明は、プラズマエッチング以外の処理を行う装置にも、また静電チャックステージ以外のステージを備えた構成にも適用しうる。

【0049】また、上記実施例のように静電チャックステージ12を備えた装置においては、上記放電の発生の頻度等を静電チャックステージ12に異常が発生したか否かの判断をするときの情報として利用することが出来る。

【0050】また、放電の発生を感知したときに、装置40を除電のために停止させるようにすることもできる。

【0051】また、ウェハの除電を、静電チャックステージ12の全ての電極、ウェハ固定時とは逆極性の電圧を印加することによって行うこともできる。

【0052】また、放電がグロー放電の場合には、ウェハ上の回路が形成されている部分を損傷させない。

【0053】そこで、放電が起きたことを検知した場合に、多少圧力をあげて真空チャンバ11内を、グロー放電が起こりうる圧力(約0.2 Torr)とするように制御するように構成することもできる。

【0054】

【発明の効果】以上説明したように、本発明によれば、以下の効果を有する。

【0055】①放電が起こっていることを知らずに、半導体基板の処理を続けてしまい、不良を多く発生させて、半導体装置の歩留りを低下させてしまうという不都合を防止し得、半導体装置の歩留りを従来に比べて向上し得る。

【0056】②除電を、除電が必要となった場合にのみ行うようにすることが出来るため、処理の都度除電を行う場合に比べて、除電に要する延べ時間を短くし得、半導体装置の生産性を向上し得る。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の一実施例になるプラズマエッチング装置を示す図である。

【図3】図2の動作のフローチャートである。

【図4】図2の装置の動作を説明する図である。

【図5】放電の種類と電圧波形との関係を示す図である。

【図6】放電感知装置の第1変形例を示す図である。

【図7】放電感知装置の第2の変形例を示す図である。

【図8】従来のプラズマエッチング装置を示す図である。

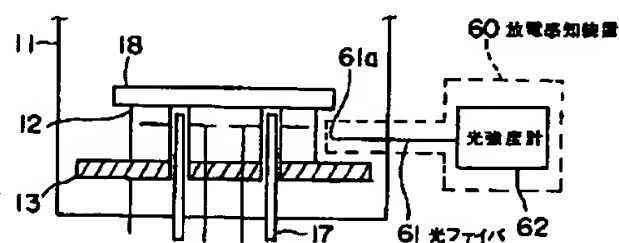
【図9】ウェハを静電チャックステージより離脱させるときに発生した放電を示す図である。

【符号の説明】

- 11 真空チャンバ
- 12 静電チャックステージ
- 13 電極
- 14 対向電極
- 15 RF電源
- 16 静電チャックステージ用電源
- 17 ウェハ離脱用ピン
- 18 ウェハ
- 20 スパーク放電
- 30 半導体基板処理装置
- 31 ステージ
- 32 半導体基板
- 33, 41, 60, 70 放電感知手段
- 40 プラズマエッチング装置
- 42 プラズマ除電装置
- 43 マイクロコンピュータ
- 45 アンテナ
- 46 電圧計
- 46 スイッチ
- 61 光ファイバ
- 61a 光ファイバの先端
- 62 光強度計
- 71 ウェハ搬送アーム

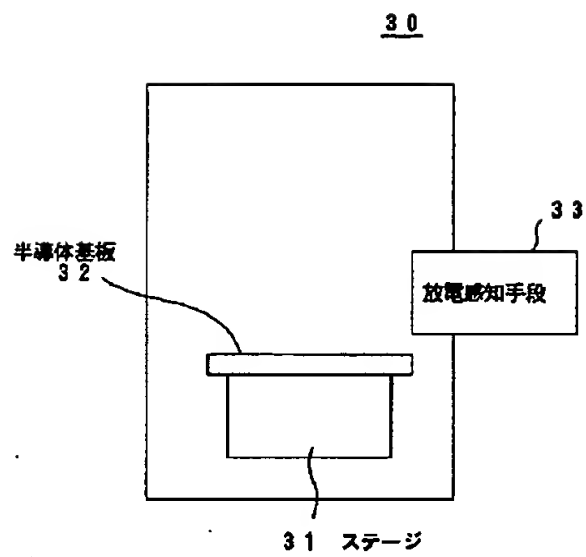
【図6】

放電感知装置の第1の変形例を示す図



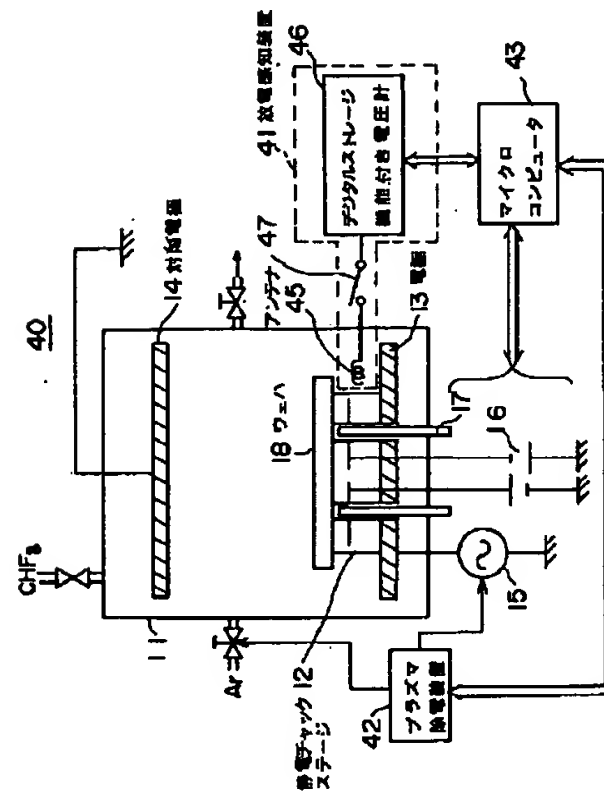
【図1】

本発明の原理構成図



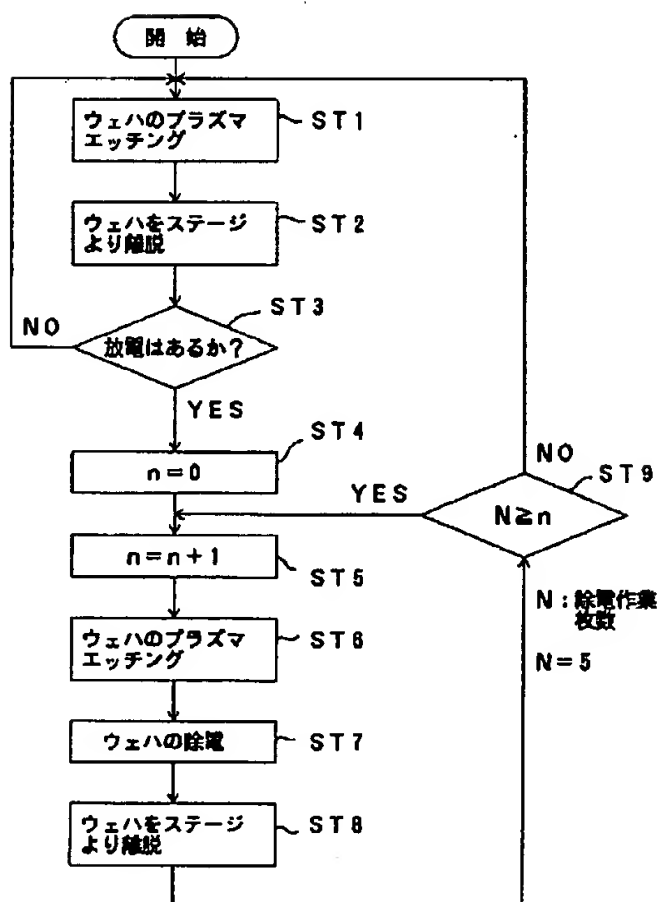
【図2】

本発明の一実施例によるプラズマエッチング装置を示す図



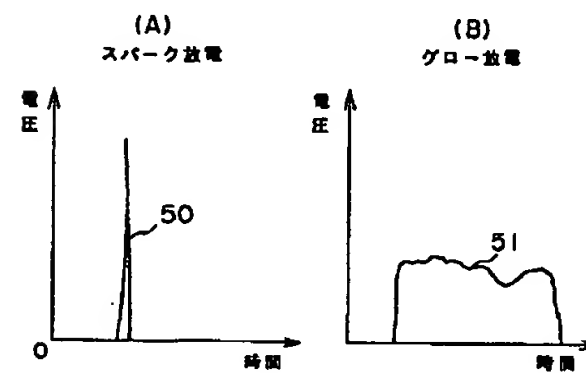
【図3】

図2の装置の動作のフローチャート



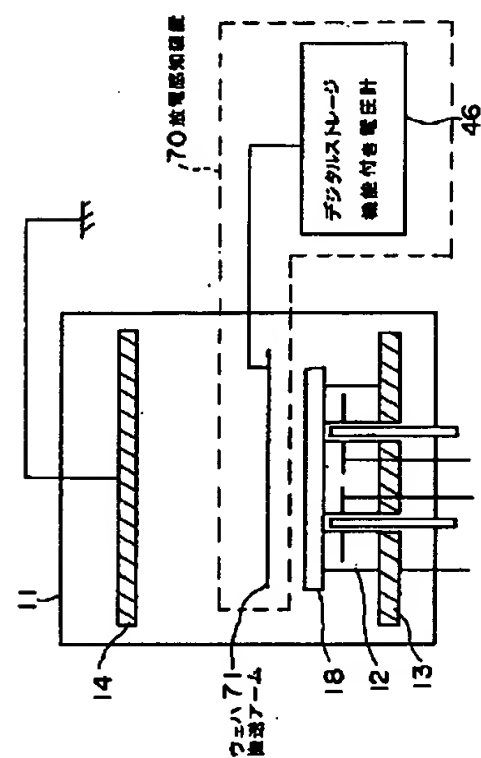
【図5】

放電の種類と電圧波形との関係を示す図

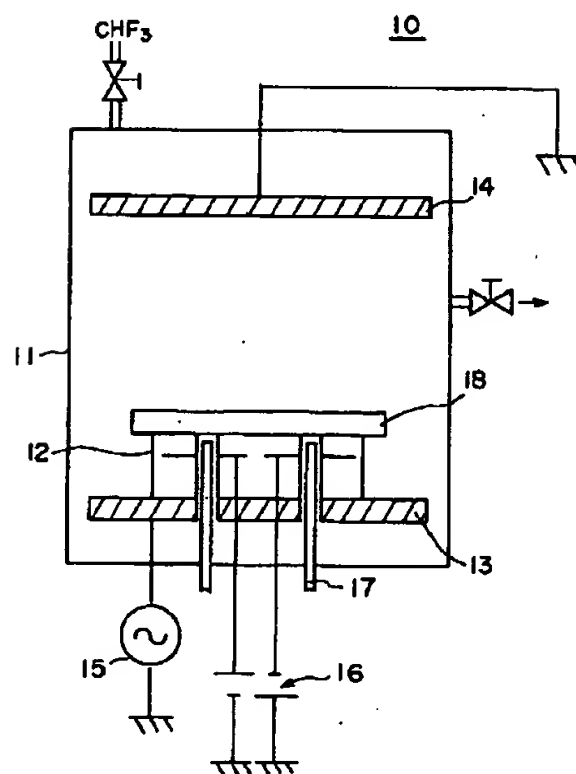


【図7】

放電感知装置の第 2 の変形例を示す図



従来のプラズマエッチング装置を示す図



【図9】

ウェハを静電チャックステージより離脱
させるときに発生した放電を示す図

